

**Laboratório Digital I**

**Relatório da experiência 1**

**Primeiro circuito digital**

Professor:

Paulo Sergio Cugnasca

Edson Midorikawa

Integrantes da T3BB3:

Arthur Pires da Fonseca - 10773096

Lucas Lopes de Paula Junior - 9344880

**Atividade 1 - Pesquisa de manuais de componentes**

a) Componentes:

|  |  |  |
| --- | --- | --- |
| **nome do sinal** | **entrada ou saída** | **descrição do sinal** |
| CLK | entrada | sinal de *clock* do contador |
| CLR | entrada | sinal ativo em baixo para zerar a saída Q |
| A | entrada | parte do sinal de dados (ABCD) |
| B | entrada | parte do sinal de dados (ABCD) |
| C | entrada | parte do sinal de dados (ABCD) |
| D | entrada | parte do sinal de dados (ABCD) |
| ENP | entrada | permite ou não a progressão da contagem feita |
| LOAD | entrada | permite ou não o carregamento de um valor inicial no contador |
| ENT | entrada | determina se o componente recebeu ou não *overflow* (habilitando ou não a contagem naquele bloco) |
| Qa | saída | parte do sinal de saída de dados (Q) |
| Qb | saída | parte do sinal de saída de dados (Q) |
| Qc | saída | parte do sinal de saída de dados (Q) |
| Qd | saída | parte do sinal de saída de dados (Q) |
| RCO | saída | determina se houve *overflow* no bloco de circuito em questão |

b) Perguntas:

1. Qual é o intervalo de valores possíveis da saída Q (QDQCQBQA)?

O intervalo é de 0 a 15.

2. Explique se o sinal de CLEAR é síncrono ou assíncrono.

O sinal de CLEAR é síncrono e *low level*.

3. Como um valor pode ser carregado no 74163? Mostre a sequência de sinais que devem ser ativados.

Os sinais LOAD e ENABLE devem ser ativados em alto.

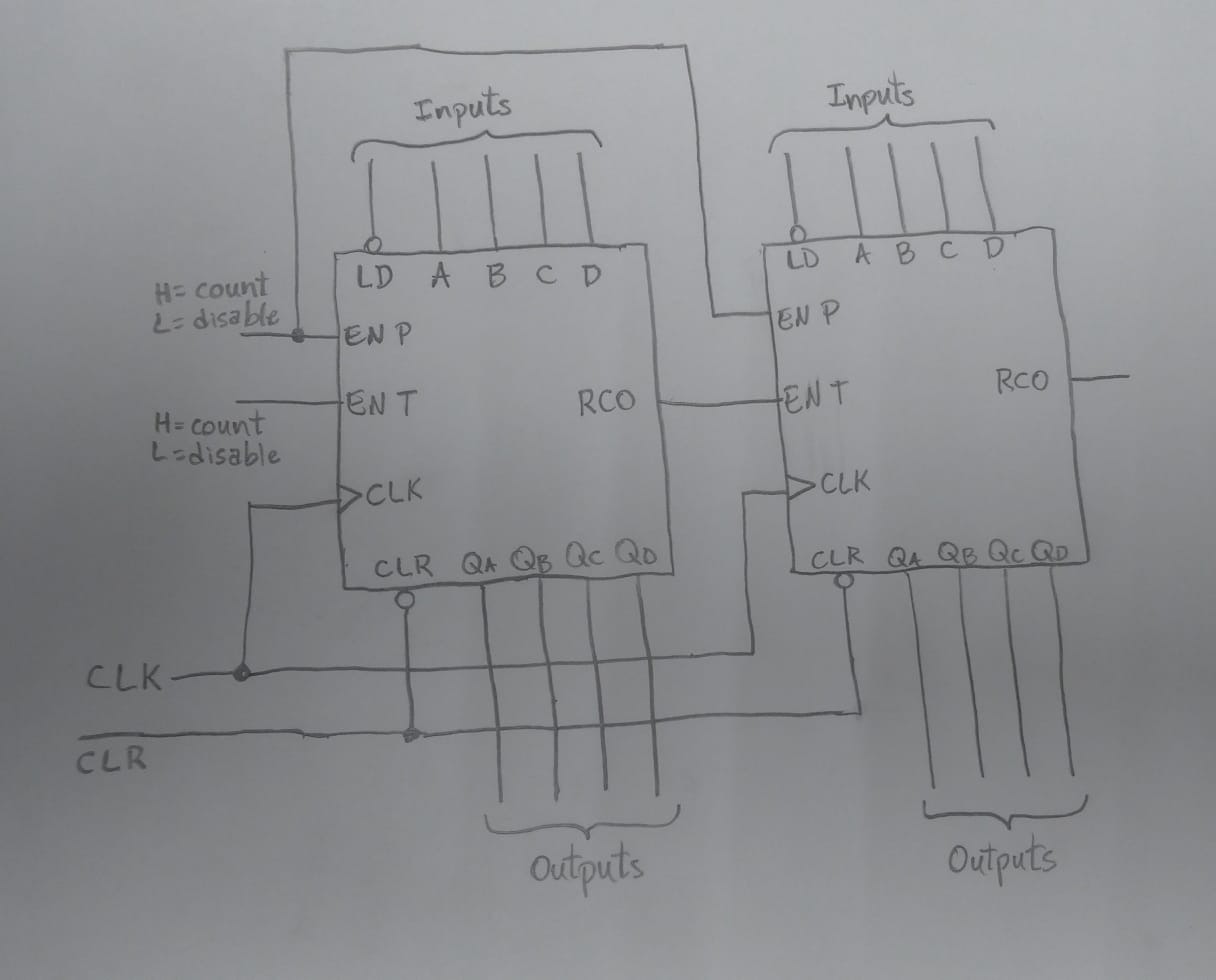
4. Este componente é sensível a qual borda do sinal de clock (subida ou descida)?

Ele é sensível à borda de subida do sinal de *clock*.

5. Os sinais ENT e RCO devem ser usados para cascateamento de contadores. Explique como estes sinais devem ser interligados no cascateamento de 2 contadores.

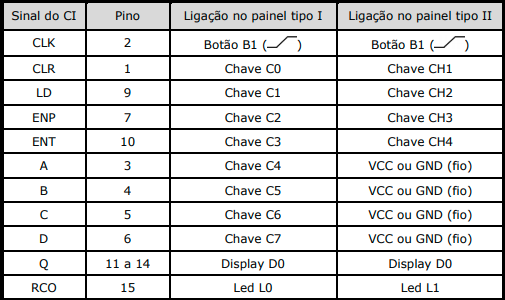
O sinal RCO do circuito integrado que representa os bits menos significativos deve ser ligado ao ENT do dos bits mais significativos, para que o bloco mais significativo seja ativado assim que o menos significativo produza *overflow*.

6. Mostre em um diagrama esquemático como dois contadores devem ser cascateados para formar um contador de 8 bits.



**Atividade 2 - Familiarização com o Circuito Integrado 74163**

Os terminais do CI 74163 foram ligados conforme a tabela a seguir:

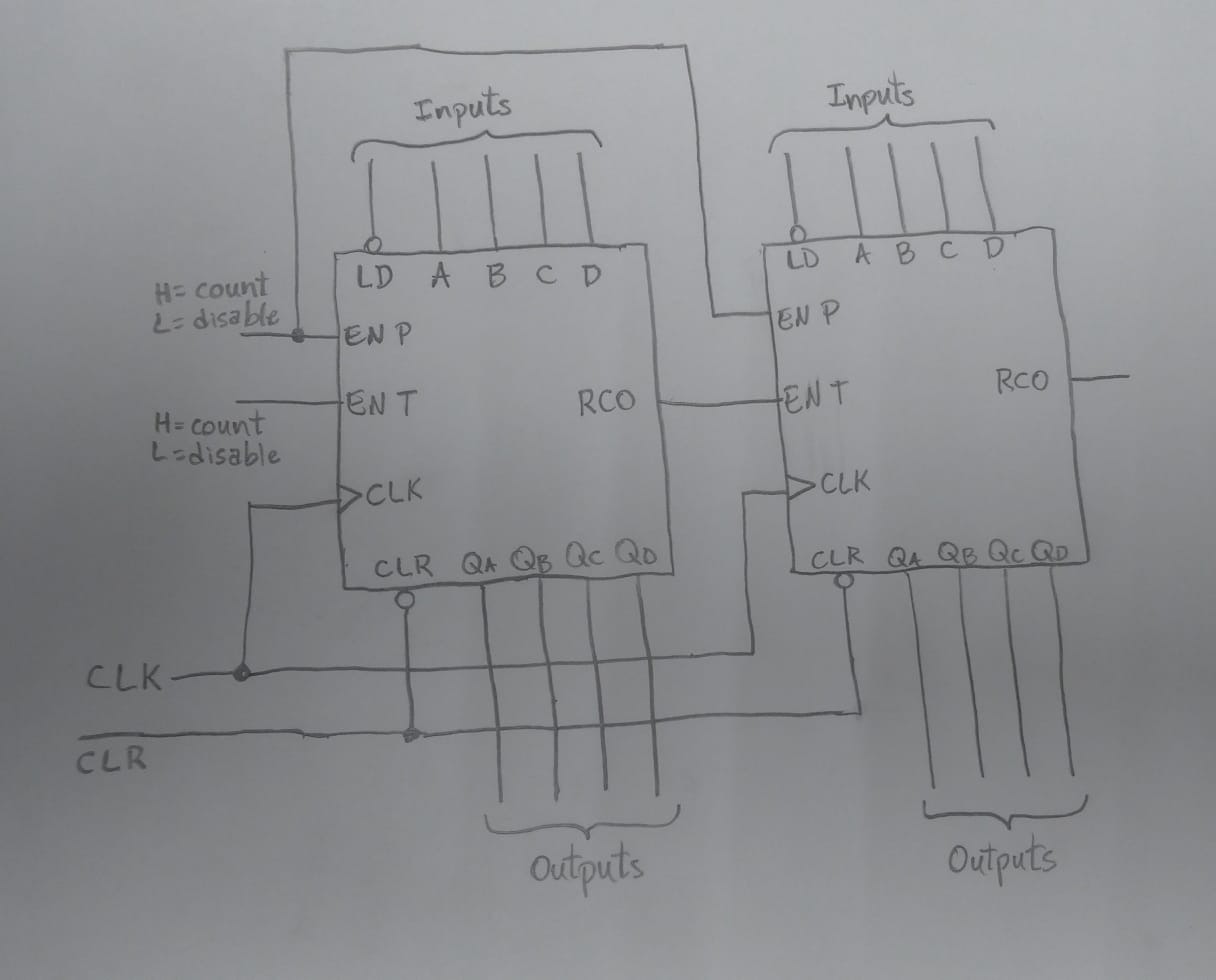


O plano de testes seguido foi:

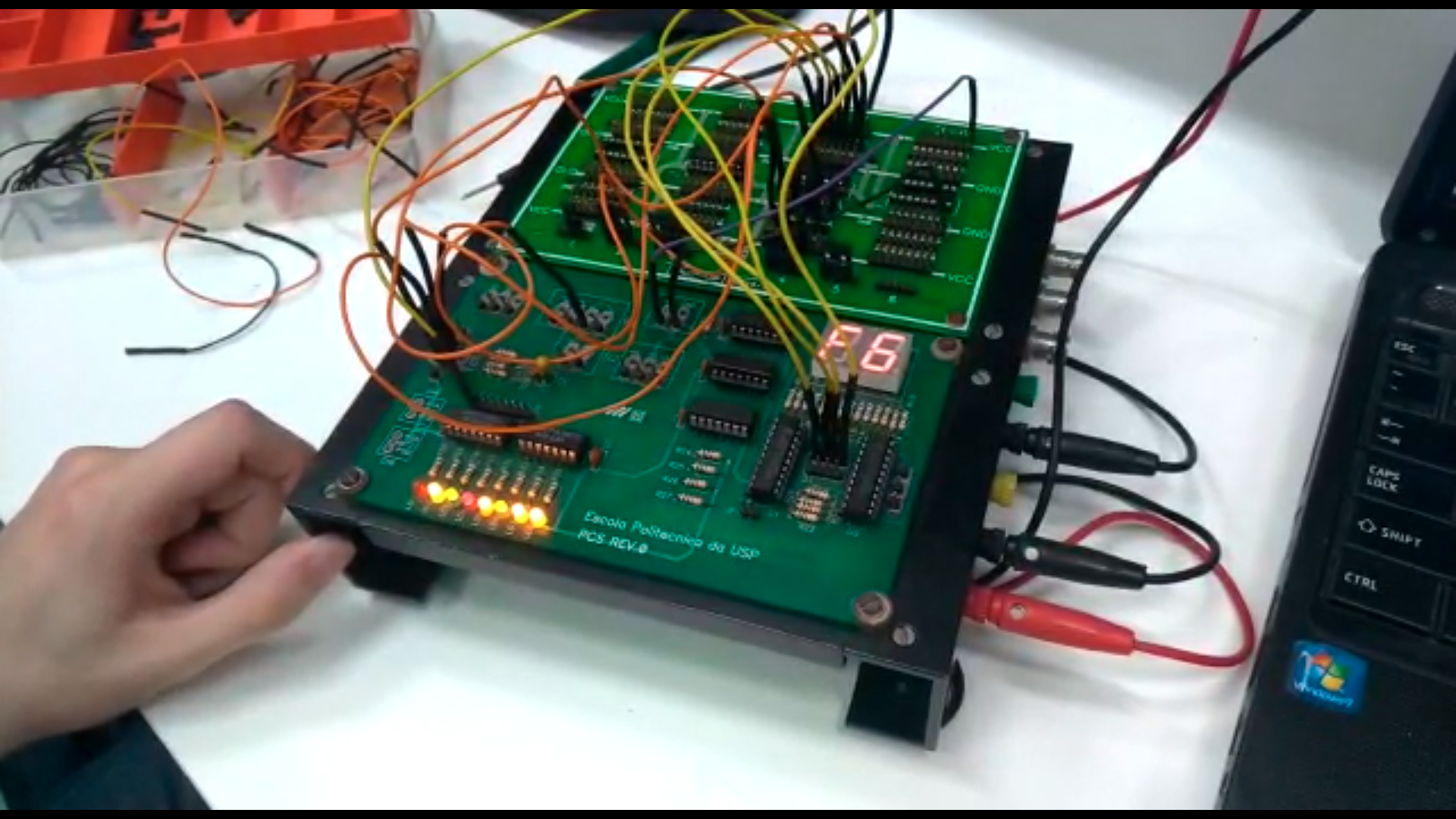
|  |  |  |
| --- | --- | --- |
| **Função** | **Sequência de sinais** | **Resultado final** |
| zerar saída Q | ~CLR (L), CLK | Amostra o número 0 no display |
| contagem de 0 a 5 | ~CLR (H), ~LOAD (H), ENP (H), ENT (H), | O contador parte do 0 e incrementa 1 a cada subida de clock. Ao final de 5 clocks |
| CLK, CLK, CLK, CLK, CLK | Amostra o valor 5 no display |
| carregar valor 11 | D (H), C (L), B (H), A (H), ~CLR (H), | O circuito amostra o valor 11 em hexadecimal no display, ou seja, "b" |
| ~LOAD (L), CLK |
| contar mais 4 vezes | ~LOAD (H), CLK, CLK, CLK, CLK | O circuito amostra o valor 15 em hexadecimal no display, ou seja, "F" |
| desativar ENP e acionar CLOCK | ENP (L), CLK | Sem mudança. O circuito amostra o último estado. |
| ativar ENP, desativar ENT e acionar CLOCK | ENP (H), ENT (L), CLK | Sem mudança. O circuito amostra o último estado. |
| ativar ENT, acionar CLR e acionar CLOCK 2 vezes | ENT (H), ~CLR (L), CLK, CLK | O circuito amostra o valor 0 no display |
| carregar 9 e contar até RC0=1 | D (H), C (L), B (L), A (H), ~CLR (H), | O circuito amostra o valor 15 em hexadecimal no display, ou seja, "F" |
| ~LOAD (L), CLK, ~LOAD (H), ENP (H), |
| ENT (H), CLK, CLK, CLK, CLK, CLK, CLK, |
| CLK |

**Atividade 3 - Montagem do Circuito Contador de 8 bits**

Testamos um dos contadores de 4 bits e conectamos os terminais do outro contador conforme o diagrama esquemático, presente neste mesmo relatório na atividade 1.



Conectamos tudo como planejado, mas o contador não funcionou como deveria. Verificamos posteriormente que o segundo circuito integrado que estávamos usando parecia estar com defeito, mas não tivemos a oportunidade de trocar por outro que funcionasse. A montagem foi esta:



**Resultados alcançados**

Conseguimos implementar perfeitamente o contador de 4 bits, o circuito se comportou como esperado.

O contador de 8 bits, no entanto, não apresentou bons resultados, embora os sinais de entrada do segundo circuito integrado estivessem corretos, como verificamos com o medidor de voltagem da bancada. Isso indica que as saídas do *chip* contador dos *bits* menos significativos estava correta, mas a acoplação com o outro bloco de circuito não deu certo.

**Pontos positivos**

-Pudemos depurar o nosso primeiro circuito após bem poucas verificações de voltagem na placa, o que nos economizou tempo.

-O contador de 4 bits comportou-se como desejado.

**Lições aprendidas**

-Muitos dos *jumpers* do laboratório não encaixam com muita facilidade nos pinos da placa de circuito integrado, o que é um fato a ser observado logo quando se tenta fazer o contato entre o fio e o pino (deve-se deixar de lado imediatamente fios defeituosos, senão eles irão se desconectar com muita facilidade ao decorrer da montagem).

-É importante usar o medidor de voltagem nas várias partes do circuito onde pode haver falhas assim que um erro é detectado, para que este possa ser rapidamente sanado.

-Usar cores iguais para fios que transmitem sinais relacionados entre si facilita a identificação visual dos fios, mas dificulta a diferenciação entre eles quando se procura a causa de um erro na montagem do circuito.